



何庭波日前發表題為「半導體新路徑探索與實踐」的主題演講。華為官網圖片

華為日前發表「韜(τ)定律」，提出以「時間縮微」替代「幾何縮微」作為半導體與電子系統演進的新指導原則，引發全球關注。華為公司董事、半導體業務部總裁何庭波隨後向中國科學院科技論文預發平台提交了題為《A Time Scaling Theory for Multi-Layer Electronic Systems (多層電子系統的時間縮放理論)》的英文論文，系統闡述了「韜定律」。文中提到「韜定律」能在提升人工智能(AI)算力上發揮作用，預計現在AI用10秒完成的任務，在未來一年內能縮短到1秒，並預計隨着「韜定律」的應用，晶片產業價值鏈也將重新分配。

華為「韜定律」為晶片製造覓新路

棄硬縮尺寸硬擠電路助AI算力效益再增9倍

業界專家普遍認為，中國企業此次提出的半導體領域發展規律，意味着半導體產業演進不再僅僅依賴晶體管尺寸縮小，而是可以通過系統級的優化實現能效提升，這為產業發展與躍升提供了新思路與重要突破方向，晶片產業鏈亦可能隨着重估，包括封裝產業等有望迎新一輪需求。

何庭波在論文中提出，從對最終用戶的核心影響來看，晶體管變小、互連變集、集成度變高等之所以能提升晶片性能，本質上都是對時間的壓縮，讓信號傳遞更快，摩爾定律追求的幾何縮微只是壓縮時間的工具之一。由此，華為「韜定律」提出，在晶體管大小不變的前提下，通過系統性縮短信號傳遞的物理距離和邏輯距離實現「τ」也就是時間的縮減，進而提升晶片性能。在這一策略框架下，華為提出的核心技术手段是「邏輯摺疊」。

打個比方來說，傳統晶片設計是蓋平房，一間屋子連着一間屋子。邏輯摺疊則是蓋高樓，每層之間用電梯相連。這樣原本從第一間屋子走到第十間屋子的路程可以縮短成坐電梯從一樓直達十樓，花費的時間隨之減少。

邏輯摺疊的效果如何？何庭波這篇論文公布在麒麟2026上測得的結果。在固定製程節點且未採用新的光刻工藝的情況下，晶體管密度從上一代155MT/mm²躍升至238MT/mm²，此前，實現同等提升幅度通常需要三年的幾何縮放和一次製程工藝替代才能實現。

十年內效能料等同1.4納米

該論文中預計，展望未來十年，邏輯摺疊預計將從局部的關鍵路徑摺疊，發展到

全面的多層摺疊，比如每個封裝三個、四個甚至更多層，這意味着更大的性能提升。從2026年到2035年，晶體管密度預計將向400MT/mm²及以上邁進，CPU核心頻率邁向4GHz，這一晶體管的密度水平將「達到1.4納米製程的同等水平」。這意味着，通過邏輯摺疊等技術，在不依賴最先進光刻工藝的前提下，讓晶體管密度達到與傳統1.4納米工藝相當的水平。

該論文還提到，「韜定律」在AI領域有望發揮更大作用，τ(即時間)的縮減速度將遠遠快於移動設備和自動駕駛，按華為的測算及展望，「韜定律」下AI完成同樣任務所需的時間在一年內最快可以從10秒壓縮到1秒。



華為積極透過全球科技展覽布局海外市場。圖為2026年世界移動通信大會的華為展區。資料圖片

中國半導體業正打造自主生態

專家之言

香港文匯報訊(記者郭瀚林北京報道)知名業內專家、北京約瑟投資有限公司董事長兼總裁陳九霖接受香港文匯報採訪時表示，當下中國晶片產業已經從過去的單一「追趕階段」，進入「生態重塑、部分領跑」的全新階段。未來，中國企業可依托先進封裝、軟硬件適配等優勢，構建自主可控的技術標準與產業生態。但行業也必須清醒認識到，突圍之路並未到終點，高端光刻機、核心零部件等短板依然存在，外部技術封鎖與產業鏈割裂的壓力仍將長期存在。同時，產業長期穩定的政策性資金傾斜、常態

化低成本融資支持依然不足，持續拖累產業趕超速度。要持續補短板、強弱項、塑優勢，力求徹底衝破技術封鎖枷鎖，打造全球半導體產業全新格局。

未來須破解中小企融資難

陳九霖指出，半導體屬於重投入、高風險、長周期產業，單條先進製程產線投入超百億元，頭部企業年研發投入動輒數十億元。相較於英偉達等國際巨頭，內地大部分半導體產業始終在資金極度緊缺、融資渠道狹窄、投資回報周期漫長的困境中艱難抗擊。尤其是參與晶片設計、設備、

材料環節的中小企業融資難、融資貴問題突出，多數企業依靠自有資金和民間資本艱難維繫。

「半導體技術迭代永不停歇，持續穩定的大額資本投入是技術突破的根本保障。我國完整的工業體系優勢，離不開廣大中小企業支撐，資金扶持應進一步覆蓋範圍，推動全產業鏈協同攻堅搭配，完成系統性破局。」陳九霖提出，未來國家層面亟需進一步加大半導體專項基金扶持力度，優化科創企業信貸傾斜政策，開通硬核科技企業融資綠色通道，重點保障中小半導體企業研發攻關與產線落地的資金剛需，以持續充沛的資本活水，護航國產晶片技術迭代、全面趕超。

A股晶片股受捧 多企業爭取港上市

香港文匯報訊(記者章韋蘭上海報道)今年以來A股硬科技板塊漲勢如虹，資金抱團晶片產業鏈特徵顯著。年初以來先進封裝概念累計狂飆77%，電子元件板塊暴漲69%，存儲晶片概念大漲56%，半導體板塊強勢拉升51%。更值得注意的是，在內地產業政策、企業需求與港股新政同頻共振，促使更多A股晶片產業鏈公司籌備赴港上市，普遍將之作為企業「全球化戰略」的關鍵一環。至於已上市公司晶片公司AH股估值更呈倒掛現象，反映市場反應熱烈。

市場消息指出，第二季以來，外資機構密集調研近440家A股公司，中東主權財富基金、韓國資本、日本大型金融機構及華爾街巨頭扎堆現身多家企業調研現場。不同於以往偏愛大盤藍籌股，本輪外資機構調研風格明顯轉變，聚焦具備技術壁壘、全球競爭力的細分領域龍頭，精準捕

捉中國產業升級中的結構性機會。其中，AI產業鏈是外資機構調研關注的重點方向，覆蓋伺服器電源、光模塊、存儲、晶片等關鍵環節。

近日，東芯股份發布公告稱，擬發行境外上市股份(H股)並在香港主板掛牌上市。據東方財富Choice數據，包括東芯股份在內，今年宣布赴港上市的A股晶片產業公司數量達18家，其中瀾起科技、兆易創新、豪威集團、國民技術等4家已成功登陸港交所；另外宏和科技、佰維存儲、源傑科技等14家公司已遞表港交所，覆蓋半導體原材料、存儲、射頻、模擬晶片、半導體設備等多個細分領域。

同時，此輪上市潮中，相關晶片公司AH股估值倒掛現象，亦備受業內關注。比如，瀾起科技截至昨日收盤，該股A股股價為265.5元人民幣，港股股價為469港元；兆易創新A股昨日收報514.18元，港

股收於842.5港元。

AH股估價準則存差異

對此，奕豐基金投資經理李淨在接受內地《科創板日報》採訪時表示，A股投資者通常習慣用「國產化率」、「產能周期」甚至「題材輪動」來給半導體定價。在這種框架下，晶片股容易被貼上周期股的標籤，受市場情緒和短期業績波動影響極大，難以給出穩定的高溢價。而國際資本用「全球AI賽道」、「稀缺壟斷性」給中國核心科技資產定價。「當他們發現瀾起科技的互連晶片是高端AI服務器標配，且在全球具備極強稀缺性和壟斷力時，會直接對標美股博通、Marvell等全球互連龍頭的百倍估值體系。」此外，A股和H股存在流動性結構的差異。部分科技龍頭H股流通盤極小，少量增量資金即可推升價格，形成了獨特的流動性溢價。

「韜定律」技術三大突破

第1突破：放棄「硬擠尺寸」，轉向「提速時間」。

在傳統線路遭遇物理極限與外部設備制約之下，通過優化器件、電路、晶片、系統全層級架構，壓縮信號傳輸延遲，實現性能升級。

第2突破：打破平面邊界，轉為立體摺疊。

不再如傳統晶片只在二維平面上「硬擠」電路，透過縮短關鍵路徑走線並降低負載，以此彌補先進製程受限的不足，實現晶體管密度和電路性能的大幅提升。

第3突破：擺脫對EUV光刻機的絕對依賴。

不再如傳在EUV稀缺情況下，大幅降低高端晶片的研發和生產成本，為成熟製程晶片的性能持續提升提供可能。

「韜定律」待解決技術難題

第一個難題：開發新型EDA(電子設計自動化)工具鏈。

現有的晶片設計軟件是為平面時代開發的，面積、時序、功耗三個指標分開優化，但邏輯摺疊要求設計工具把多層堆疊的晶圓作為一個整體進行跨層分配，傳統的二維設計工具無法適配。

第二個難題：減少晶圓間的工藝偏差。

邏輯摺疊需要把不同批次甚至不同工藝節點的晶圓銜合在一起。

第三個難題：完善基準測試。

晶片行業現有的性能評測標準，如Linpack、MLPerf、SPEC(三種被廣泛採用的計算性能基準測試)，都是為衡量單一指標設計的，無法評估「韜定律」追求的全棧協同優化效果。

「韜定律」是什麼？

「韜」是希臘字母τ的音譯。在電路理論中，τ代表時間常數——信號從一種狀態切换到另一種狀態需要的時間。τ越小，電路切換越快。

「時間縮微」取代「幾何縮微」

過去摩爾定律降低τ的辦法是電晶體變小→電路變短→τ自然變小。「韜定律」則以「時間縮微」替代「幾何縮微」，以系統性降低時間常數(韜τ)為目標，通過邏輯摺疊等創新技術，持續壓縮信號傳播時延，不斷提升電晶體密度。

「韜定律」提出從電晶體、電路、晶片和系統四個層級做出優化。具體包括：在電晶體層級優化電阻和寄生電容等；在電路層級優化信號傳輸阻容延遲，依託垂直集成縮短布線長度；在晶片層級優化架構設計、流水線配置等；在系統層級優化通信協議、組網架構等。

中美博弈十年 自研晶片成功突圍

特稿

長期以來，全球晶片產業始終遵循西方定義，以光刻製程的物理縮微作為唯一迭代標準。憑藉EUV光刻機、高端設備、EDA軟件、核心算法的全鏈條壟斷，美西方牢牢把持全球晶片供應和話語權，並通過貿易禁運等「卡脖子」手段，遏制中國產業升級。十年前，中國晶片產業大而強、有量無「核」，核心設備、底層軟件完全依賴進口，產業鏈抗風險能力極弱，晶片也連續多年位居第一大進口商品。

面對產業短板，國內科研機構與企業默默深耕蓄力，持續加大研發投入、擴充產能、培育本土產業鏈、積累專業人才，為產業突圍築牢堅實根基。這十年，是全球半導體產業格局重塑、中美晶片深度博弈，以及中國晶片產業從「被動承壓」到「主動破局」的關鍵十年。

有業內人士指出，自2018年以來，美國打壓中國半導體晶片產業有一條清晰的主線：從針對中興、華為等個別企業到圍堵截擊整體行業，再到全面加強打壓中國半導體行業的先進製程能力，進而細化明確轉向人工智能方向，意圖通過鎖住中國在科技前沿的發展空間。然而，美國全方位的打壓、封鎖，反而促使中國晶片產業完成了一場脫胎換骨的系統性蛻變。

據國際數據公司此前發布的資料顯示，英偉達(NVIDIA)在華市場佔有率已由2022年的95%以上驟降至2025年的55%。而華為昇騰系列、百度崑崙芯、寒武紀為代表的國產晶片企業迅速崛起，2026年第一季度，中國AI晶片市場規模高速增长，當中國產晶片市場份額更首次超過一半。

中國晶片已大舉出海

中國晶片產業不僅自給自足能力持續提升，也在國際市場上佔據了越來越多的份額。2024年，中國晶片出口額突破萬億元人民幣大關。據國家海關總署公布數據，今年4月，中國集成電路單月出口額達310.85億美元，同比增長超100%，創下近年來月度增長紀錄，並成為中國出口第一大單品。東盟、中東、拉美、非洲等新興市場成為中國晶片出口的重要增量來源。值得注意的是，集成電路出口並非「以價換量」，而是「量價齊升」。海關總署數據顯示，今年前兩月，中國集成電路在出口數量增長13.7%的同時，出口額猛增72.6%，相當於平均單價上漲了52%。

中國人民大學商學院產業經濟學教授徐佳賓對記者談到，中國晶片領域高效攻克「卡脖子」的背後，是中國舉國體制、市場活力、資本賦能、產學研深度協同的系統性成果。其中，政府部門通過頂層設計，將國家安全戰略轉化為社會共識，打造「有為政府+有效市場」的雙輪驅動；企業把自身利益與國家意志結合，依託中國超大规模市場與完整工業體系，以場景規模降低研發成本；科研機構則準確對接政府意圖與企業需求，科研項目與產業場景無縫銜接，把科技創新高效轉化為產業創新成果。

●香港文匯報記者 郭瀚林 北京報道